

**FORMATION OF RESIST PATTERN**

Patent Number: JP10083087  
Publication date: 1998-03-31  
Inventor(s): RO KISEI; NAN TEIRIN  
Applicant(s): SAMSUNG ELECTRON CO LTD  
Requested Patent: ☐ JP10083087  
Application Number: JP19970226025 19970822  
Priority Number(s):  
IPC Classification: G03F7/40; G03F7/20; G03F7/20; H01L21/027  
EC Classification:  
Equivalents: CN1175788

**Abstract**

**PROBLEM TO BE SOLVED:** To provide a method for forming resist patterns capable of preventing the burning phenomenon of a photosensitive film which arises at the time of photoresist patterning.

**SOLUTION:** In the method for forming fine resist patterns by applying the photosensitive film on a semiconductor wafer 10, then etching the film, a step for executing a DUV (deep ultraviolet) exposure 16 stage of a sufficient quantity in order to adjust a thermal flow rate of the resist patterns 12 after the application of the photosensitive film and an etching stage after curing the patterns by adding a high-temp. baking stage in order to prevent the burning of the resist patterns 12 are executed.

Data supplied from the esp@cenet database - I2

AL

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-83087

(43)公開日 平成10年(1998) 3月31日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 3 F 7/40	5 0 1		G 0 3 F 7/40	5 0 1
	5 0 2		7/20	5 0 2
	5 2 1			5 2 1
H 0 1 L 21/027			H 0 1 L 21/30	5 0 2 A
				5 7 1
審査請求 未請求 請求項の数5 O L (全 6 頁)				

(21)出願番号 特願平9-226025  
 (22)出願日 平成9年(1997) 8月22日  
 (31)優先権主張番号 1 9 9 6 P - 3 5 1 7 1  
 (32)優先日 1996年 8月23日  
 (33)優先権主張国 韓国 (K R)

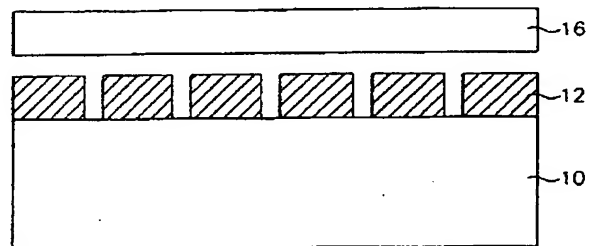
(71)出願人 390019839  
 三星電子株式会社  
 大韓民国京畿道水原市八達区梅灘洞416  
 (72)発明者 呂 起 成  
 大韓民国ソウル市江南区改浦洞138住公ア  
 パート303棟503号  
 (72)発明者 南 廷 林  
 大韓民国京畿道水原市八達区志洞眞優ア  
 パート1棟1305号  
 (74)代理人 弁理士 萩原 誠

(54)【発明の名称】 レジストパターンの形成方法

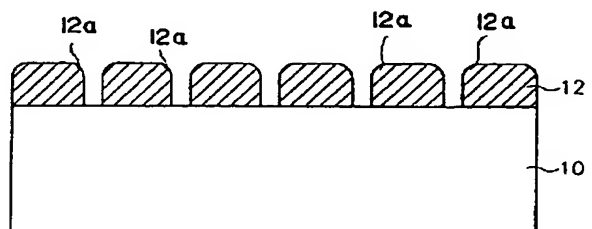
(57)【要約】

【課題】 フォトレジストパターニング時に発生する感光膜のバーニング現象を防止することができるレジストパターンの形成方法を提供する。

【解決手段】 半導体ウェハ10上に感光膜を塗布した後、食刻して微細なレジストパターン12を形成する方法において、感光膜塗布後、レジストパターン12のサーマルフロー量を調節するために、充分な量のDUV (deep ultra violet) 露光16工程を遂行する段階と、前記レジストパターン12のバーニング (burning) を防止するために、高温ベーク工程を付加してパターンを硬化させた後、食刻工程を遂行する。



(A)



(B)

**【特許請求の範囲】**

【請求項1】 半導体基板上に塗布された感光性レジストを選択的に露光し、パターンニングされたレジストパターンを形成する第1の段階と、前記レジストパターンのサーマルフロー量を調節するために、前記レジストパターンを所望量のDUVに露光する第2の段階と、後続工程で前記レジストパターンがバーニングされない程度に前記レジストパターンをベークし、前記レジストパターンを硬化する第3の段階とを具備したことを特徴とするレジストパターンの形成方法。

【請求項2】 前記第2の段階で、前記DUVは約248nmの波長を持つことを特徴とする請求項1に記載のレジストパターンの形成方法。

【請求項3】 前記第3の段階で、前記ベークは約165℃で実行されることを特徴とする請求項1に記載のレジストパターンの形成方法。

【請求項4】 前記感光性レジストはDUV感光性レジストであることを特徴とする請求項1に記載のレジストパターンの形成方法。

【請求項5】 前記第2の段階における露光は約20ないし300MJの範囲内で実行されることを特徴とする請求項1に記載のレジストパターンの形成方法。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は半導体装置の製造工程においてフォトリソパターンを形成する方法に係り、特に後続食刻工程において発生する感光膜のバーニング(burning)現象を防止することができるレジストパターンの形成方法に関する。

**【0002】**

【従来の技術】 半導体装置の集積度が増加するに供ない、深い段差からの微細コンタクト等のパターン形成のために高い選択比を持つ食刻工程が要求される。このような食刻工程時、チャンバ内の温度が比較的高温の場合が多い。この場合、半導体基板の広い面積からレジスト膜が熱により消失したり、焼きついたりする、いわゆるフォトリソバーニング現象が発生し、工程進行が難しくなる。従って、食刻選択比を低くしたり、チャンバ内の工程進行条件等を制限して工程を進行しなければならないという問題点がある。

【0003】 バーニング現象を回避しようとする、次のようなMLR(Multi Layer Resist)技術等の複雑な工程を実行しなければならないという問題点がある。すなわち、下部感光膜(Bottom PR)を高温、すなわち、後続の界面酸化膜(inter oxide layer)の被着温度より高い温度である約300℃でベーク工程を遂行し、その後CVD酸化膜を被着して、界面酸化膜を形成する。ついで、この界面酸化膜上にレジストを塗布して、パターン

を形成し、界面酸化膜と下部感光膜とを食刻するという複雑な工程を必要とする。又、実際に食刻しようとする膜の上にマスク層を形成しパターンを形成した後、レジストパターンをアッシング(Ashing)又はストリップにより除去し、マスク層を使用して下部感光膜を食刻する等の複雑な工程を実行しなければならない。

【0004】 又、マスクレイアウト上に広い面積でレジストパターンが残ることを防止するために、ポジティブ型レジストを使用した場合、広い面積領域を露光しなければならない。このため、デバイス表面に部分的な段差が形成され、後続工程でパターン形成時、DOF(depth of focus)マージンが減少するようになる。又、ウェハ上でデバイスが露光されない領域を追加に露光する必要があるため半導体装置の生産性が低下するという問題点がある。

**【0005】**

【発明が解決しようとする課題】 本発明はこのような技術的背景でなされたもので、本発明が解決しようとする技術的課題は別途の工程追加を必要とせず、レジストのバーニング現象を防止することができる改善されたレジストパターンの形成方法を提供することにある。

**【0006】**

【課題を解決するための手段】 上記課題を解決するために、本発明のレジストパターンの形成方法は、半導体基板上に塗布された感光性レジストを選択的に露光し、パターンニングされたレジストパターンを形成する第1の段階と、前記レジストパターンのサーマルフロー量を調節するために、前記レジストパターンを所望量のDUVに露光する第2の段階と、後続工程で前記レジストパターンがバーニングされない程度に前記レジストパターンをベークし、前記レジストパターンを硬化する第3の段階とを具備している。

【0007】 また好ましくは、DUV露光段階は約20ないし300MJの範囲内で実行される。又、露光段階でDUVは約248nmの波長を持ち、ベーク段階は約165℃で実行され、そして感光性レジストとしてDUV感光性レジストを用いるのが良い。

【0008】 本発明は別途の工程追加なしにレジストパターンの形成後、このレジストパターンをDUVに露光して、熱的フロー量を調節した後、高温のベーク工程によってレジストパターンを硬化(hardening)させ、食刻時のバーニング現象を防止しようとするものである。

【0009】 この時、高温ベーク工程は後続の食刻工程が遂行される食刻チャンバの工程進行温度より高い温度で遂行されるので、レジストパターンが熱的にフロー(thermal flow)され、パターンイメージの変形が発生する。したがって、パターンの精密度を低下させるので、このような高温ベーク工程を遂行する前にDUV(deep ultra violet)露光

を通じてフローされる量を調節する。これにより、後続の食刻工程中でのフォトレジストのバーニングも防止することができる。

#### 【0010】

【発明の実施の形態】以下、添付された図面に基づいて本発明の実施の形態を具体的に説明する。

【0011】図1および図2は本発明によるレジストパターンの形成方法を説明するための工程別断面図を示したものである。

【0012】図1(A)に示すように、フォトレジスト層12が半導体基板10上に積層され、周知のフォトリソグラフィ技術によって図1(B)に示すようにライトビーム14により選択的に露光される。結果的に、微細パターンがフォトレジスト層12に転写されて形成される。正確に微細パターンを得るために、高分解能を持つ露光工程がGラインやIラインを使用して遂行されなければならない。エキシマレーザーリソグラフィ(laser lithography)や位相シフト(phase shift)等のような技術が構造上微細化が要求される半導体デバイスのための微細パターン形成に使用することができる。次に図1(C)に示すように、現像されたフォトレジストパターン12を形成するために半導体基板10が現像工程に投入される。この実施の形態において、フォトレジストパターンはDUVを吸収する物質、すなわち、DUVポジティブトーンレジスト(positive tone resist)を含むフォトレジスト層を含む。

【0013】ついで、図2(A)に示すように、フォトレジストパターン12がそのサーマルフロー量を制御するに充分なDUV放射16にさらされる。このDUV放射16は248nm程度の波長を持つ。最後に、図2(B)に示すように、フォトレジストパターン12を持つ半導体基板10が165℃程度の温度でベークされ、フォトレジストパターン12の端部12aがフローした後硬化される。半導体基板10は直接に高温の工程、たとえば、高温の加熱冷却、乾式食刻等の工程を受けるようになるが、これはフォトレジストパターン12がDUV放射16に充分にさらされ、高温でベークされるためである。

【0014】反面、万一、フォトレジストパターンを持つ半導体基板がDUV放射にさらされないで、直接高温のベーク工程を受けると、現像されたフォトレジストパターンは熱的に不安定であるから、高温のベーク工程の間に、サーマルフローによってパターンイメージの変形が誘発される。その結果、高い精度のフォトレジストパターンを形成することが難しくなる。パターンイメージの変形のような問題を解決するために、半導体基板上のフォトレジストパターンが高温のベーク工程を受ける前に、DUV放射にさらし、次の乾式食刻工程のような高温処理段階の間のフォトレジストパターン

の変形及びバーニングを防止するのである。

【0015】次に、DUV露光によってレジストパターンの熱的フロー量が調節されることを調べるために、レジストパターン形成後、DUV露光量を変化(split)させながら同一な条件でベーク工程を遂行してレジストパターンがフローされる形状を図3(A)ないし図3(D)に示す。この時、使用された露光波長は約248nmであった。工程温度は約165℃、感光膜はDUVポジティブトーンレジストを使用してコンタクトパターンを形成した。

【0016】図3(A)ないし図3(D)はDUV露光量によるレジストパターンの熱的フロー量を観測したSEM写真を示したものである。図3(A)はDUVの露光量がゼロである場合(すなわち、従来技術による場合)に熱的フロー量が大きくて、レジストパターンの変形が多く発生していることを示しており、図3(B)ないし図3(D)は露光量を20MJずつ増加させることを除いては同一な条件でレジストパターンを形成したことを示している。

【0017】とくに、図3(B)ないし図3(D)からわかるように、レジストパターンのDUV露光量が多ければ多いほどレジストの熱的フロー量が少なくなって、レジストパターンはより精密なパターンイメージを保持しながら形成される。すなわち、露光量が増加することによってレジストの熱的フロー量が減少することがわかる。

【0018】図4(A)ないし図4(D)は従来及び本発明によって形成されたレジストパターンを同一条件で食刻してレジストのバーニングの有無を観測した写真を示す。すなわち、レジストのバーニング防止のためのテストとして、図4(A)はパターンが形成されたウェハをADI(After Develop Inspection)状態で食刻を進行した後、観測したウェハを、図4(B)はDUVをスプリット露光したウェハを、図4(C)は充分な量、すなわち、約300MJで露光したウェハを、図4(D)はDUV露光後、高温ベーク工程を適用したウェハをそれぞれ示している。

【0019】上述した各条件で工程を進行したウェハを同一条件で食刻を進行した結果、図4に図示するように、ADI状態のウェハ(図4(A)参照)では全面的にレジストのバーニングが発生し、DUVスプリット露光したウェハ(図4(B)参照)ではスプリット露光によってレジストのバーニングが少し減少し、充分な量のDUV露光(図4(C)参照)及びDUV露光+高温ベーク(図4(D)参照)を進行したウェハではレジストのバーニングが発生しないことがわかる。

【0020】このように、DUV露光又はDUV露光後、すぐにベーク工程を経ることによって食刻時のレジストパターンのバーニング現象が防止されることがわかる。本発明は上述した実施の形態に限定されず、本発明

の技術的思想内で当分野の通常の知識を持つ者によって多様な変形が可能である。

【0021】

【発明の効果】以上、説明したように、本発明によるレジストパターン形成方法によると、別途の工程追加なしにレジストパターンに十分なD U V露光をし、熱的フロー量を調節することにより、レジストのバーニング現象を防止することができる。

【図面の簡単な説明】

【図1】本発明のレジストパターンの形成方法を説明するための工程別断面図(その1)。

【図2】本発明のレジストパターンの形成方法を説明す

るための工程別断面図(その2)。

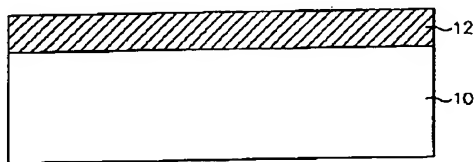
【図3】D U V露光量とレジストパターンの熱的フロー量との関係を観測したSEM写真。

【図4】D U V露光量及びベークによるレジストパターンの食刻時のバーニング現象の差を観測したSEM写真。

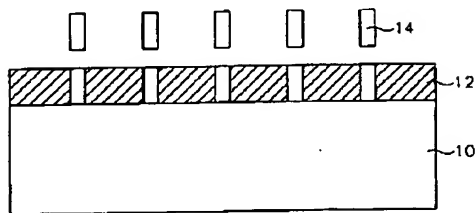
【符号の説明】

- 10 半導体基板
- 12 フォトリソレジストパターン
- 12a レジストパターン端部
- 14 ライトビーム
- 16 D U V放射

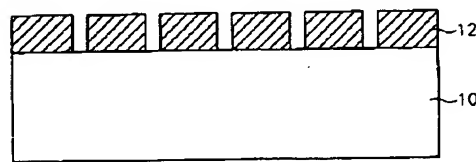
【図1】



(A)

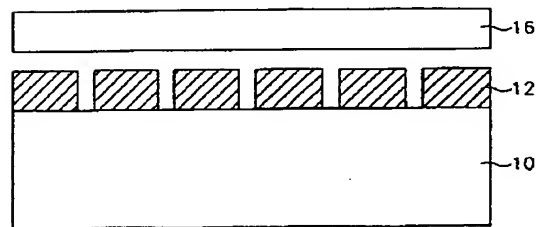


(B)

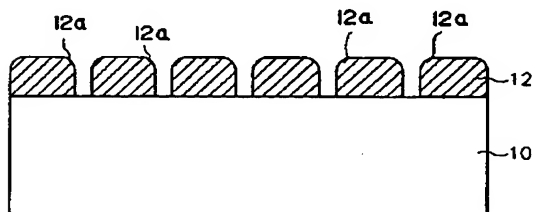


(C)

【図2】



(A)



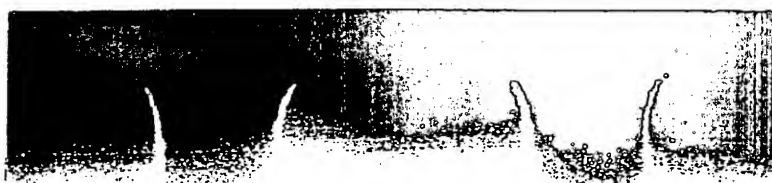
(B)

【図3】

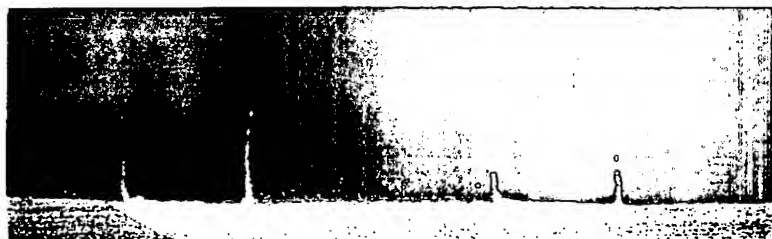
(A)



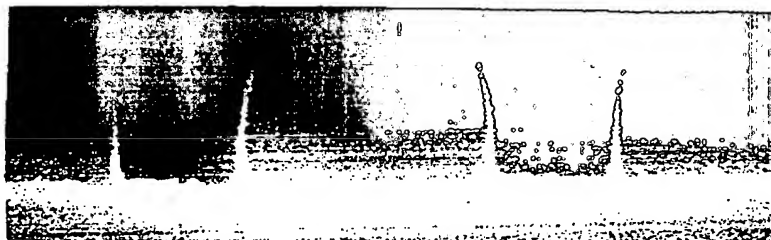
(B)



(C)



(D)



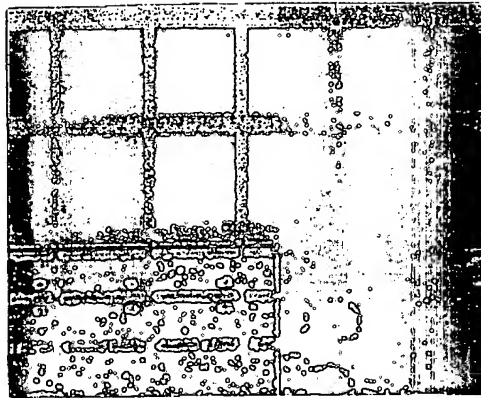
BEST AVAILABLE COPY

【図4】

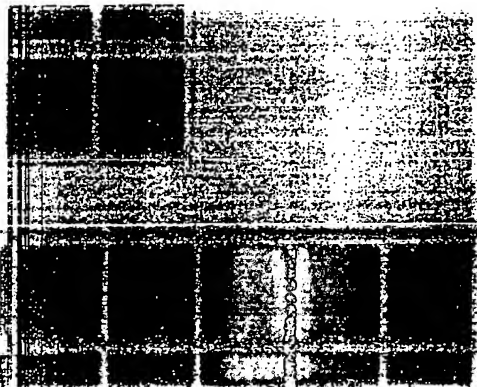
(A)



(B)



(C)



(D)

